

LNF - 64/40
27 Luglio 1964.

**B. Bertolucci e M. Coli: CONVERTITORE DIGITALE ANALOGICO
FLESSIBILE PER IL CONTROLLO DI ESPERIENZE "ON LINE".**

(Nota interna: n. 255)

Nota interna: n° 255
27 Luglio 1964

B. Bertolucci e M. Coli: CONVERTITORE DIGITALE ANALOGICO FLESSIBILE PER IL CONTROLLO DI ESPERIENZE "ON LINE".

INTRODUZIONE ^(x)

Sono sempre più attuali in Fisica Nucleare esperimenti ad un gran numero di parametri. Il calcolo dell'evoluzione di questi, il loro controllo la loro eventuale eliminazione si tende ora ad affidarli ad un calcolatore col legato con l'esperienza^(1, 2).

Il calcolatore, opportunamente programmato, può anche intervenire nell'esperimento, ossia il programma può operare sui parametri d'ingresso. Questa possibilità non è, in generale, diretta in quanto il linguaggio digitale del calcolatore non è adatto al controllo, come lo è invece il linguaggio analogico. Altre volte l'esperienza accetta anche un linguaggio digitale, ma diverso da quello di uscita del calcolatore.

Il circuito qui proposto è stato studiato con lo scopo di fornire un mezzo automatico per l'intervento sui parametri di ingresso dell'esperienza. Il circuito, data una certa situazione codificata in ingresso, fornisce in uscita un impulso rettangolare la cui durata è proporzionale al numero in ingresso secondo un tempo base di conversione. Operando opportunamente su tale base temporale, accoppiata ad un oscillatore esterno, si può ottenere l'uscita digitale in un codice qualsiasi.

(x) - Il presente circuito è stato studiato in vista di prossime utilizzazioni per le esperienze all'Elettrosincrotrone di Frascati collegato "on line" con un grosso calcolatore elettronico, eventualmente situato a distanza e collegato mediante ponte radio.

2.

Il circuito può venire impiegato in esperimenti "on line" ove, per ragioni di calcolo, conviene che i parametri siano affetti dallo stesso errore di misura. Saranno fatti alcuni esempi in cui i parametri d'ingresso sono degli angoli o delle energie in esperimenti di correlazione angolare e misure di sezioni d'urto.

1. SCHEMA A BLOCCHI E PRINCIPIO DI FUNZIONAMENTO

L'apparecchio realizzato consiste essenzialmente di un certo numero di univibratori (uno per ogni ingresso) le cui durate sono proporzionali alle potenze crescenti di due. I segnali di ingresso sono combinati, su circuiti AND od INHIBITOR, con l'impulso di Start che comanda l'inizio della lettura. Le uscite dei monostabili sono accoppiate in un circuito OR che somma gli impulsi.

Il principio di funzionamento è il seguente (v. Fig. 1):

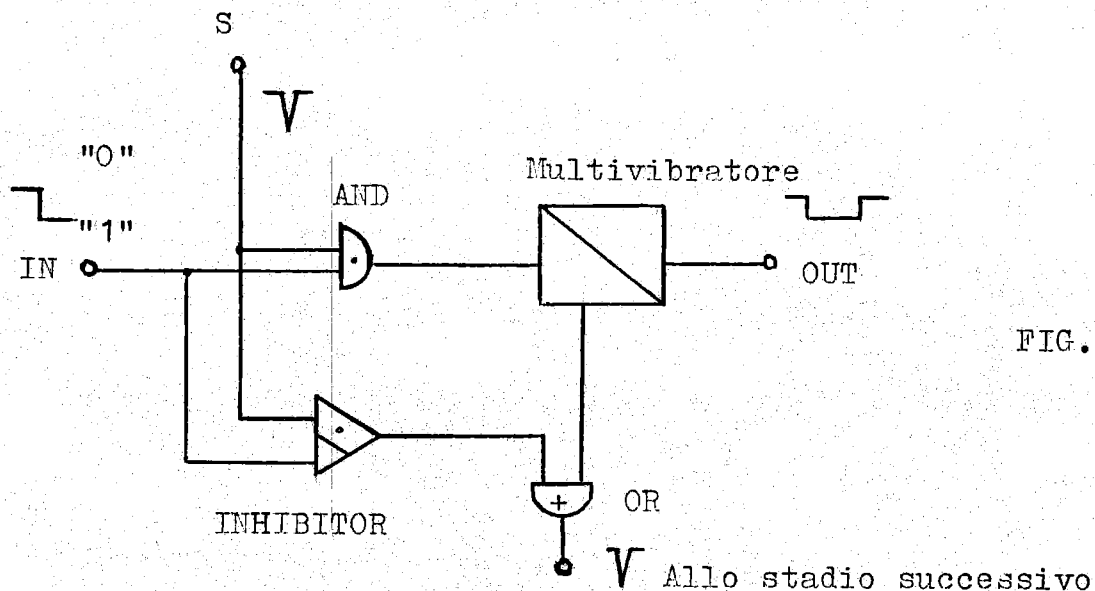


FIG. 1

FIG. 1

l'impulso di start interroga in successione tutti gli ingressi per conoscerne la situazione (presenza o assenza del segnale); ogni volta che trova l'informazione aziona, attraverso il circuito AND, l'univibratore corrispondente, indi passa all'ingresso successivo, con un ritardo pari alla durata del monostabile. In mancanza di segnale su un ingresso l'impulso S esplora i livelli successivi attraverso i circuiti INHIBITOR.

Una sequenza di "n" circuiti uguali di questo tipo permette la lettura di un qualsiasi codice binario (di $2^n - 1$ bit) secondo la procedura descritta sopra, ma in un tempo pari a $2^n - 1$ volte l'unità di durata prescelta.

La logica di Fig. 2, invece, consente la sola lettura del codice binario-decimale a quattro linee (o "8-4-2-1") ed è formata

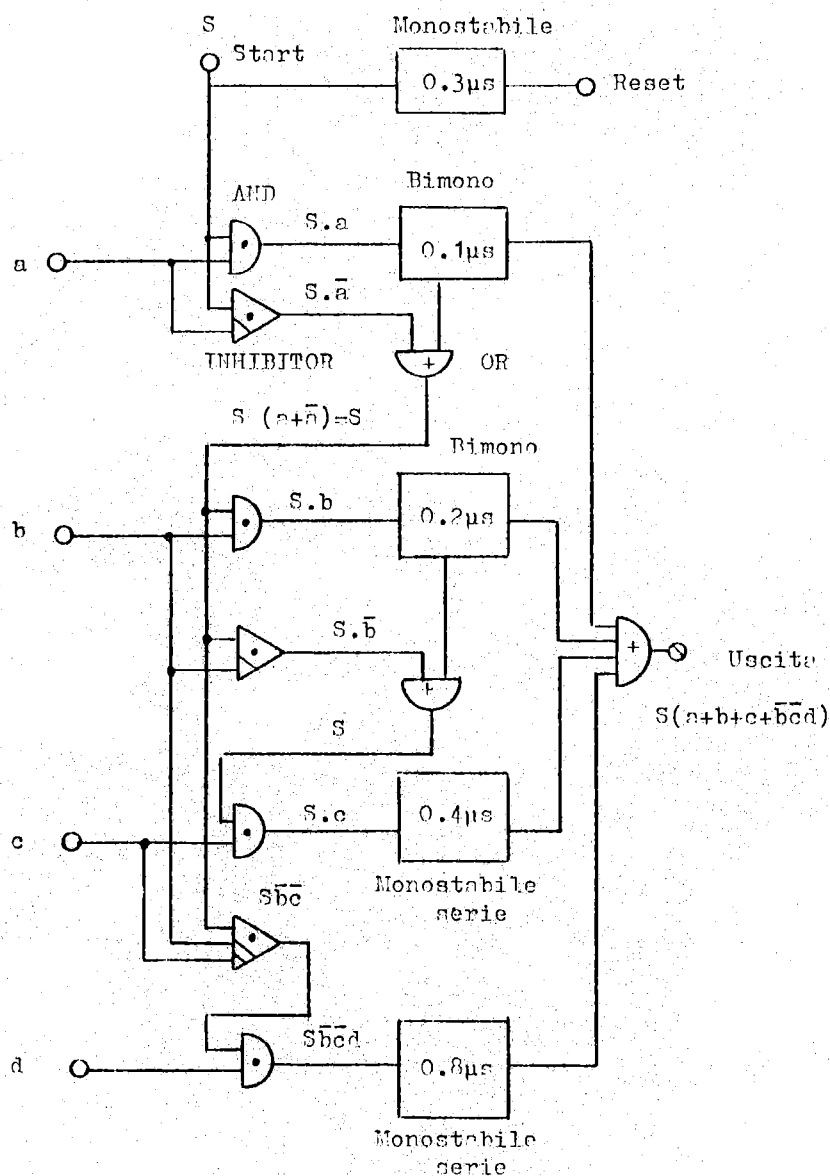


FIG. 2

quindi a decadi separate di quattro ingressi ciascuna (v. Fig. 3).

Il tempo di lettura è, però, solamente tre volte l'unità di durata prescelta. La logica⁽³⁾ formata da questo circuito, è del tipo

$$a + b + c + \bar{b} \bar{c} d$$

Il procedimento di analisi, fino al terzo ingresso, è dello stesso tipo descritto sopra. Al quarto ingresso il procedimento cambia: d verrà analizzato solo se il segnale di Start S è passato attraverso ambedue gli INHIBITOR di b e c (ciò implica appunto l'assenza dell'informazione su questi

4.

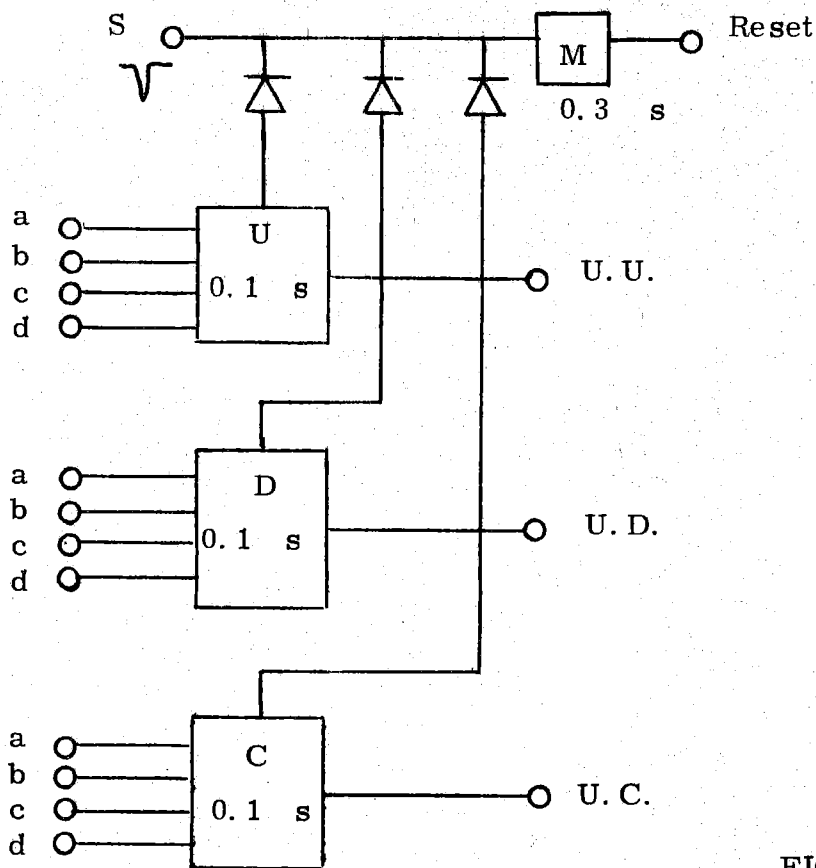


FIG. 3

due ingressi). Per questioni di praticità e di velocità (accoppiamento in continua, per quanto permesso dai livelli; assenza completa di amplificatori per rigenerare il segnale;...) la logica è stata formata, secondo i principi precedentemente detti, nel modo seguente:

- sul primo ingresso a la situazione è come in Fig. 1, cioè un AND che forma la logica $S \cdot a$ col segnale di start) ed un INHIBITOR ($S \cdot \bar{a}$);
- sul secondo ingresso b, oltre a queste due ($S \cdot b$ ed $S \cdot \bar{b}$), compare anche un'anticoincidenza tripla con l'ingresso c ($S \cdot \bar{b} \cdot \bar{c}$), connessa direttamente all'ingresso d ($\bar{b} \cdot \bar{c} \cdot d$), ed eventualmente un'altra quadrupla con c e d ($S \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}$) per l'impulso di reset;
- gli altri due ingressi, c e d, possiedono ancora gli AND ($S \cdot c$) e ($S \cdot \bar{b} \cdot \bar{c} \cdot d$) rispettivamente.

TEMPO DI ANALISI

Nel caso che la costante di proporzionalità delle durate degli uni vibratorii (come nel nostro caso) sia di 100 ns il tempo di lettura va da un minimo di 5 ns ad un massimo di 300 ns , rispettivamente per assenza completa di segnale e lettura del numero 7. Inoltre, poiché le varie decadi si possono leggere contemporaneamente, il valore di 300 ns è il limite superiore per la lettura di un qualsiasi numero per quanto grande.

I tempi di lettura di una decade sono mostrati nella tabella I. Il circuito elettrico può essere completato da un circuito OR d'uscita per prelevare il segnale di reset (vedi schema generale: configurazione circuitale tratteggiata). All'uscita del Reset si ha la seguente combinazione logica:

$$S (c + b\bar{c} + \bar{b}cd + \bar{b}\bar{c}\bar{d}) = S$$

Si è preferito, tuttavia, avere un Reset fisso con ritardo, rispetto allo start, pari al tempo massimo di lettura: 300 ns. Questo è ottenuto con un monostabile unico per tutte le decadi di cui si compone l'apparecchio (v. Fig. 2).

TABELLA I

Situazione binaria in ingresso a b c d	Situazione decimale	Tempo di analisi (in ns)
0 0 0 0	0	5
1 0 0 0	1	105
0 1 0 0	2	203
1 1 0 0	3	300
0 0 1 0	4	15
1 0 1 0	5	110
0 1 1 0	6	205
1 1 1 0	7	300
0 0 0 1	8	13
1 0 0 1	9	110

IL CIRCUITO D'INGRESSO

Il circuito d'ingresso (v. Fig. 4) è formato da un transistor usato come invertitore di fase; esso serve per disaccoppiare l'ingresso e per realizzare i livelli per i circuiti di AND ed INHIBITOR. L'AND utilizza il livello di emettitore, l'INHIBITOR quello di collettore.

I livelli in ingresso della logica sono 0 Volt (logico 0) e -6 Volt (logico 1). Con zero Volt il transistor è interdetto ed il segnale di -6V in collettore tiene spento il diodo D_{IC} , in modo che l'arrivo dell'impulso S trova il diodo D_{IS} in conduzione (porta aperta) e passa in ciclo. Il segnale dell'emettitore (+8V) fa condurre fortemente il diodo D_{AE} e contemporaneamente tiene polarizzato inverso il diodo D_{AS} (porta chiusa).

Un livello di -6V in ingresso, satura il transistor e porta le ten-

6.

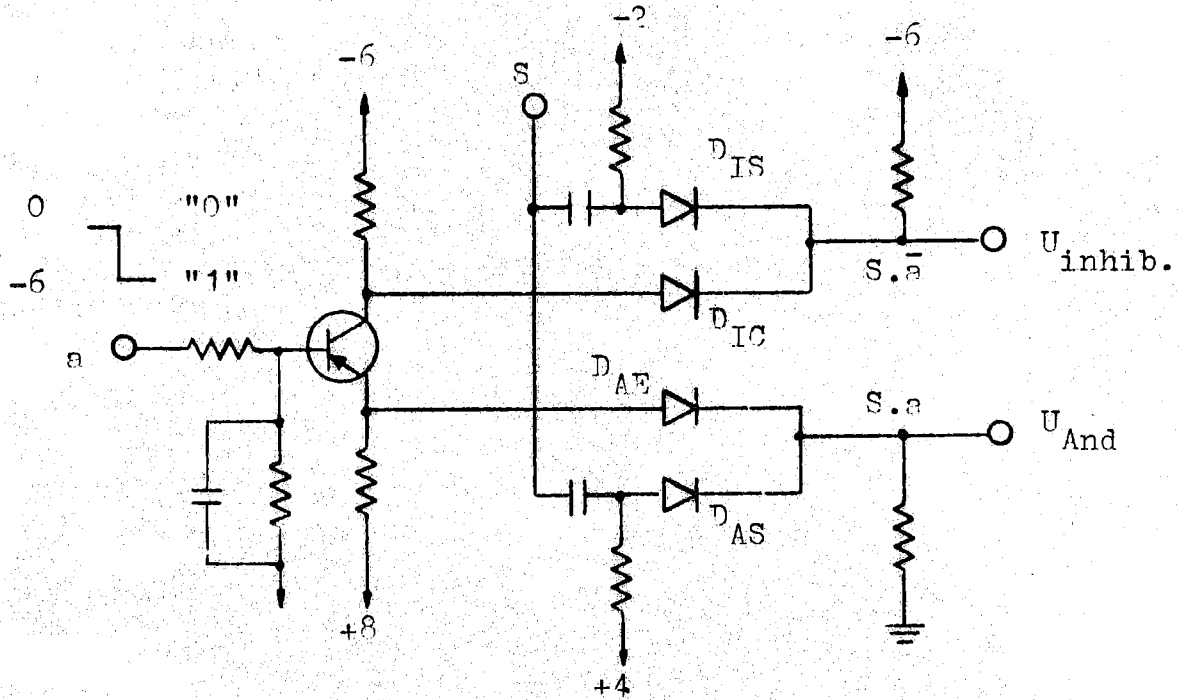


FIG. 4

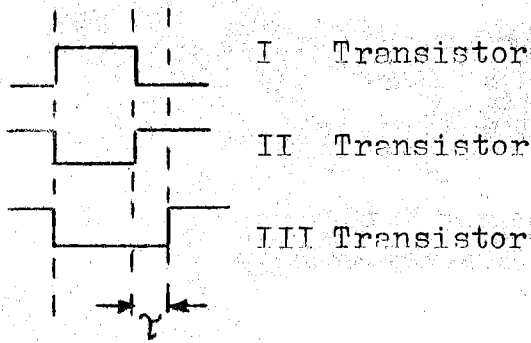
sioni sul collettore e sull'emettitore a circa 0V. Ora il comportamento dei diodi è invertito e mentre D_{IC} conduce fortemente, D_{AE} è spento. Il segnale S trova aperta la porta dell'AND (D_{AS} in conduzione) mentre trova il diodo sul collettore (D_{IS}) completamente spento (porta dell'INHIBITOR chiusa).

Per ottenere un buon funzionamento del circuito descritto, si è fatto in modo che nei diodi D_{IC} e D_{AE} in conduzione le correnti siano tali da creare una caduta di tensione sui carichi che polarizzi inversi i diodi D_{IS} e D_{AS} con tensioni maggiori di 1,5 V, si è ottenuto in tal modo un rapporto doppia/singola migliore di +40 db (v. Foto C e D).

I MONOSTABILI

Abbiamo detto che ogni ingresso è collegato ad un monostabile la cui durata è proporzionale (100 è il fattore di proporzionalità per il circuito realizzato) al numero d'ingresso in decimale. In realtà usando dei monostabili convenzionali (almeno per i primi due ingressi) non avremmo ottenuto un'unica onda rettangolare in uscita, ma un insieme di onde non saldate assieme, a causa del tempo di propagazione dell'impulso di start S attraverso gli stadi (v. Foto E).

Per ovviare a questo inconveniente i primi due monostabili sono stati realizzati in modo singolare⁽⁴⁾. Essi sono formati ciascuno da tre transistor che generano forme d'onda di diversa lunghezza come mostrano in Fig. 5.



L'onda del primo transistor viene differenziata e l'impulso negativo è mandato ad integrare gli stadi seguenti; l'onda del terzo transistor è l'impulso d'uscita. Come si vede l'impulso di analisi precede, in questo modo, di un tempo τ il fronte di discesa dell'impulso di uscita. Il ritardo τ è appunto il tempo di percorrenza dell'impulso fra gli stadi (≈ 5 ns).

FIG. 5

duttanza e resistenza.⁽⁵⁾

Gli altri due monostabili sono di tipo serie con costante di tempo ad in

STABILITA'

Da misure effettuate su un monostabile serie si è ricavato il grafico di Fig. 6 in cui è riportata la variazione della durata in funzione della temperatura.

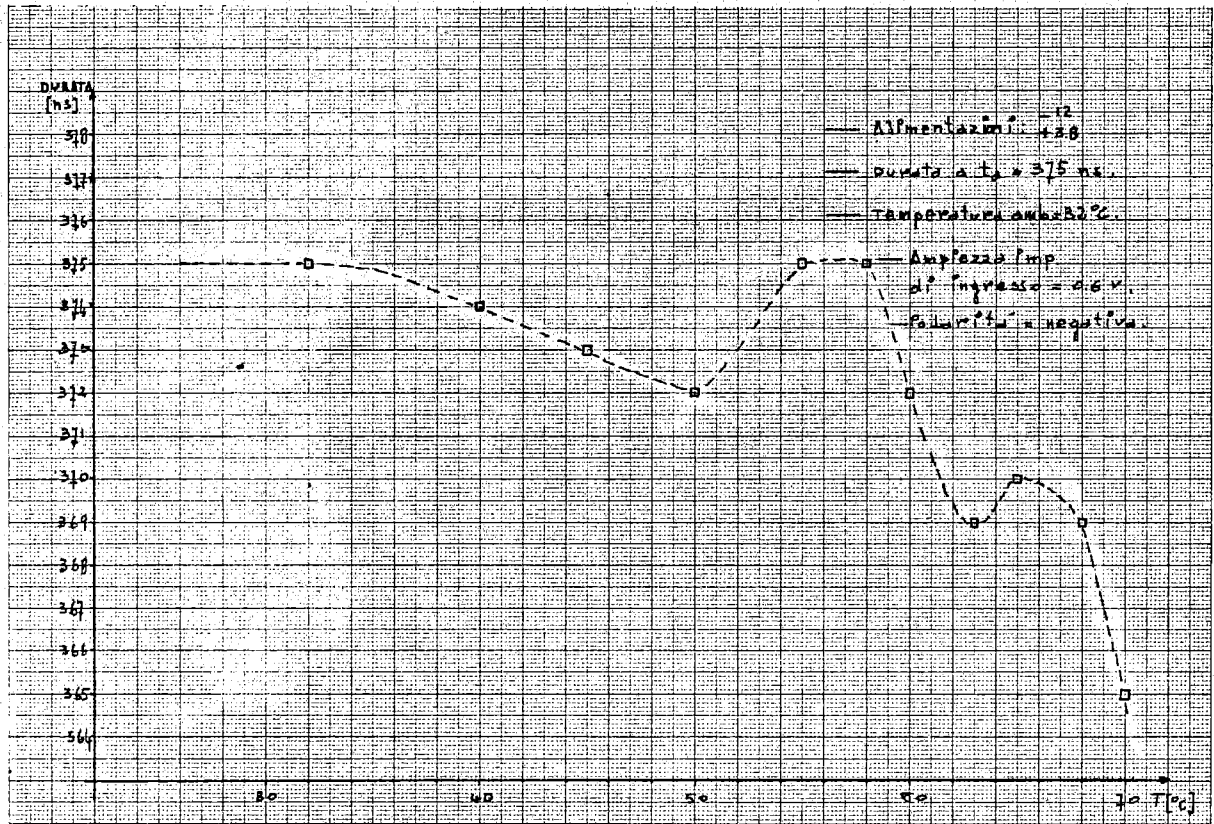


FIG. 6

8.

Le condizioni di misura sono le seguenti:
tensione di alimentazione: -12 V e +3,8 V;
durata base, a 32°C; 375 nsec;
impulso d'ingresso: 0,64 V negativi.

Si è ricavato:

stabilità massima integrale: 0,039% per °C;
stabilità differenziale media in valore assoluto: 0,228% per °C;
stabilità differenziale media algebrica: 0,116% per °C.

POSSIBILITA' DI IMPIEGO

Riferiamo, come esempi, alcuni possibili esperimenti collegati on-line con calcolatore elettronico, o più semplici, nei quali il circuito proposto può essere impiegato utilmente.

Lo schema generale di tali esperimenti è rappresentato schematicamente nella Fig. 7.

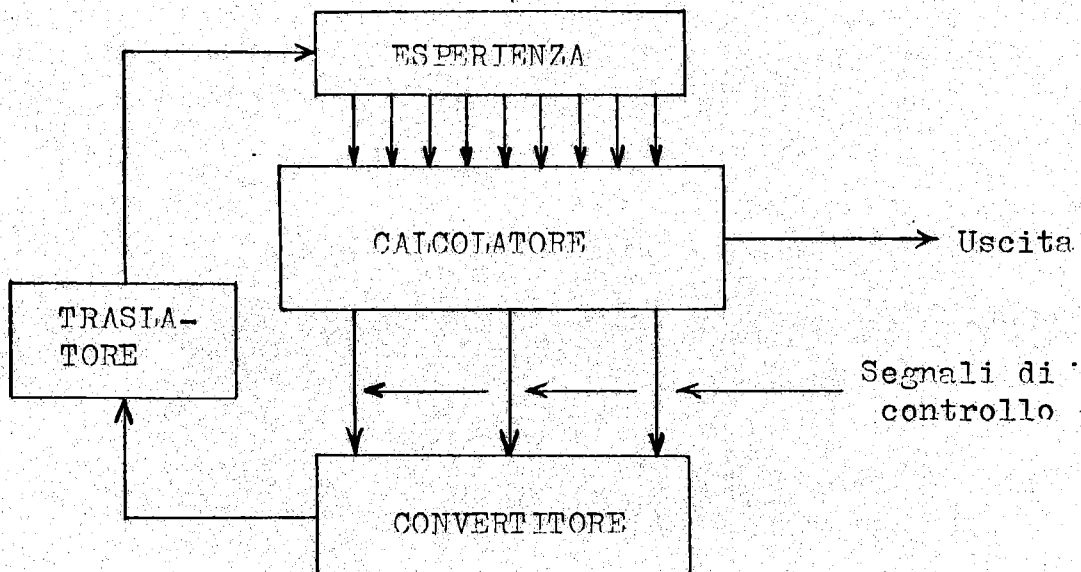


FIG. 7 - Schema di esperimento "on-line" con reazione sui parametri d'ingresso.

I dati dell'esperienza arrivano al calcolatore che li elabora e li codifica in memoria, indi, per ogni ciclo di misura, fornisce in parallelo, dei segnali di controllo; questi a loro volta vengono tradotti dal circuito convertitore secondo un linguaggio analogico, capace di modificare il parametro controllato. Diamo alcuni esempi:

1) in una esperienza di correlazione angolare (v. Fig. 8) fra più particelle interessa avere in uscita al calcolatore la distribuzione angolare⁽⁶⁾. Per ogni ciclo di misura (fissato p. e. da un contatore integrale di dosi - quantametro) il calcolatore (o più semplicemente un'insieme di demolti

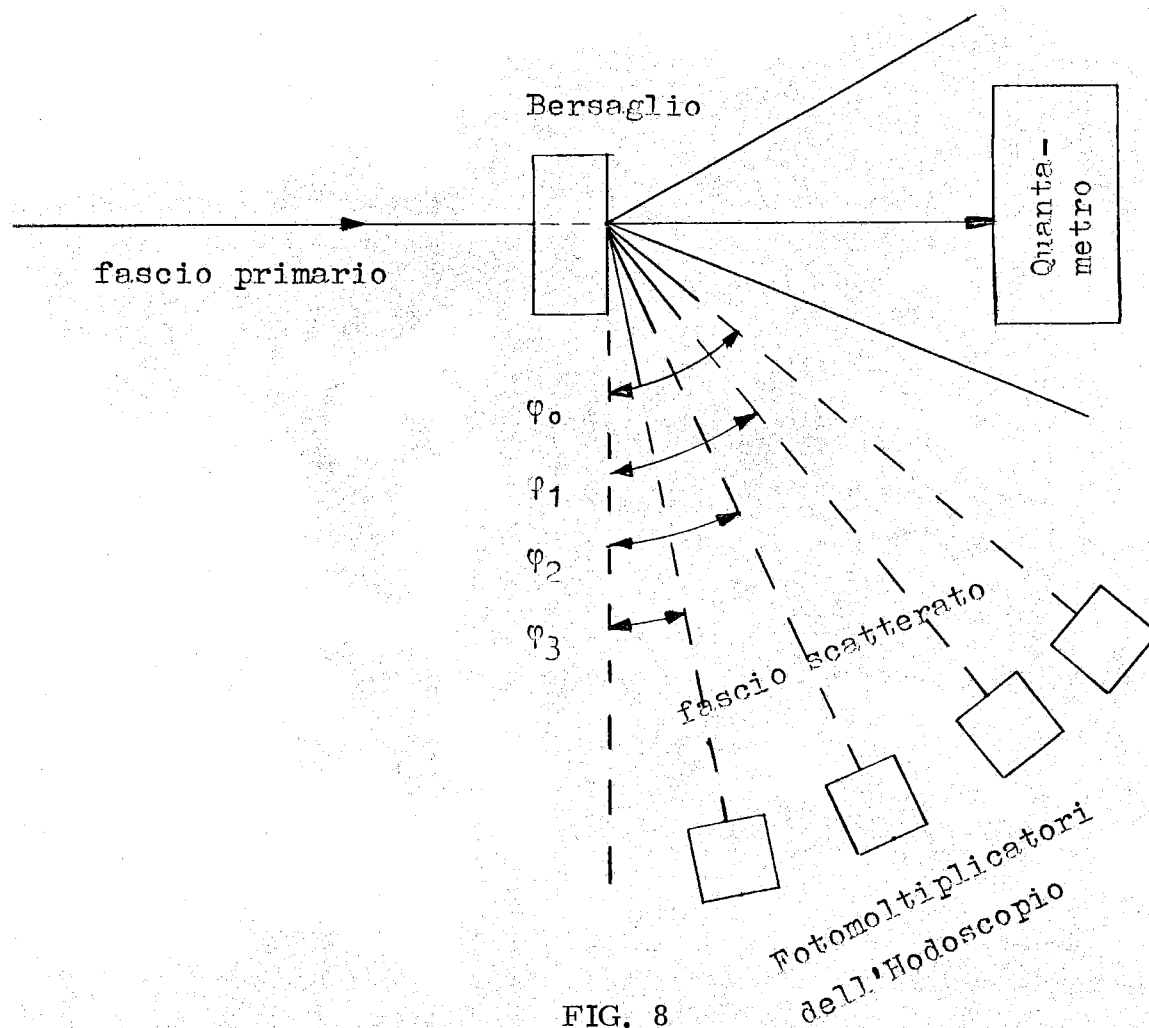


FIG. 8

plicatori) fornisce al convertitore il contenuto del canale di misura (corrispondente ad un certo angolo ψ_0). Questi, collegato con un circuito di selezione di tempi, predispone il tempo per la misura sul canale successivo ψ_1 (spostando la soglia del quantmetro), in modo da ottenere una statistica a molti eventi anche per canali poveri di conteggio.

Riferendosi alla Fig. 9, sia n il numero di canali di misura, ognuno corrispondente ad un certo angolo $\psi_0, \psi_1, \dots, \psi_n$. I canali d'ingresso, attraverso delle porte, inviano i loro segnali ad una memoria provvisoria il cui contenuto, canale per canale, viene analizzato dal convertitore.

Le uscite del convertitore comandano direttamente le aperture delle porte dei canali di misura. Un impulso di master fornisce il sincronismo in modo che le porte dei canali si aprano tutte allo stesso momento e per la durata fornita dal convertitore. Occorre naturalmente adottare una logica di complementazione in modo che la durata di apertura sia maggiore sui canali di minor contenuto. Tale operazione viene eseguita direttamente dal convertitore.

2) Si abbia un fascio primario di particelle di energie diverse per una misura di sezione d'urto (v. Fig. 10). Il convertitore accetta in ingres

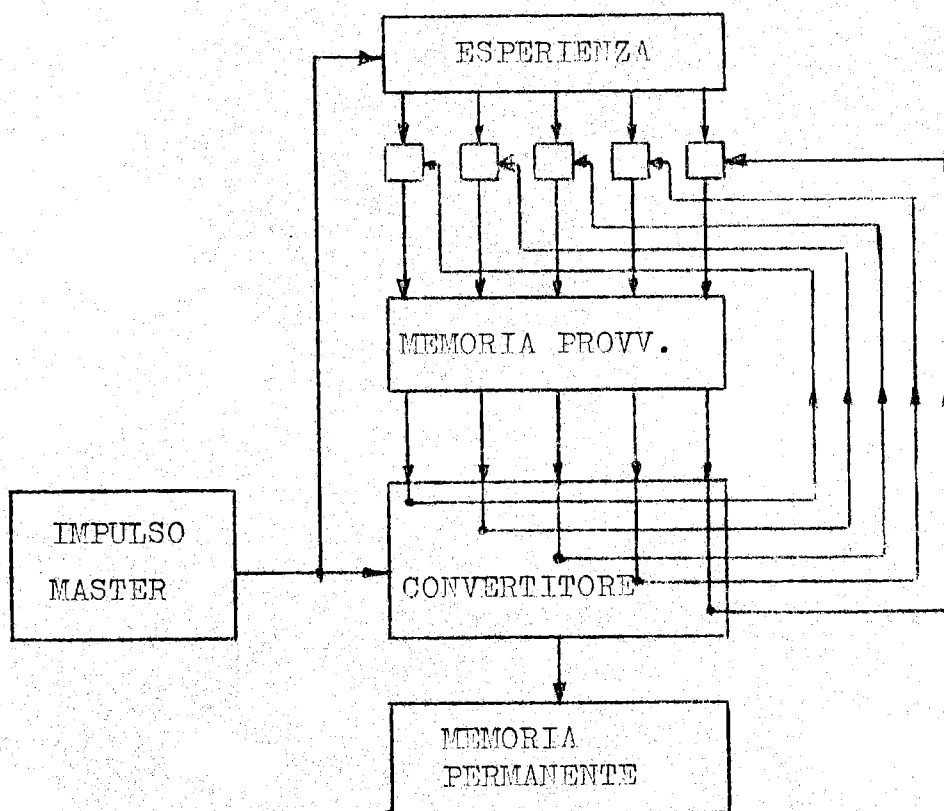


FIG. 9 - Miglioramento della statistica di misura in un esperimento di correlazione angolare eseguito contemporaneamente su n canali corrispondenti agli angoli

$$\psi_0, \psi_1, \dots, \psi_n$$

so la risposta memorizzata di un telescopio di contatori per la misura dell'energia. In uscita esso fornisce un impulso di durata proporzionale all'energia in ingresso (contenuto della memoria provvisoria complementata) per il comando della porta dei canali di coincidenza (anche due soli). In tal modo si migliora la statistica di misura per quelle energie per le quali il numero degli eventi è piccolo.

CONCLUSIONE

Il circuito descritto fornisce, dunque, un impulso in uscita di durata proporzionale al numero presente all'ingresso. La sua utilità e il suo impiego è molto generale, come abbiamo dimostrato negli esempi dati.

Direttamente esso fornisce un controllo analogico temporale utile per un miglioramento delle statistiche di ingresso dei parametri da trasmettere al calcolatore, "on line" con l'esperienza.

La stabilità della conversione temporale è quella stessa dei circuiti formanti la base temporale che come abbiamo visto è 0,039% °C; la

linearità della conversione è, di conseguenza, ottima.

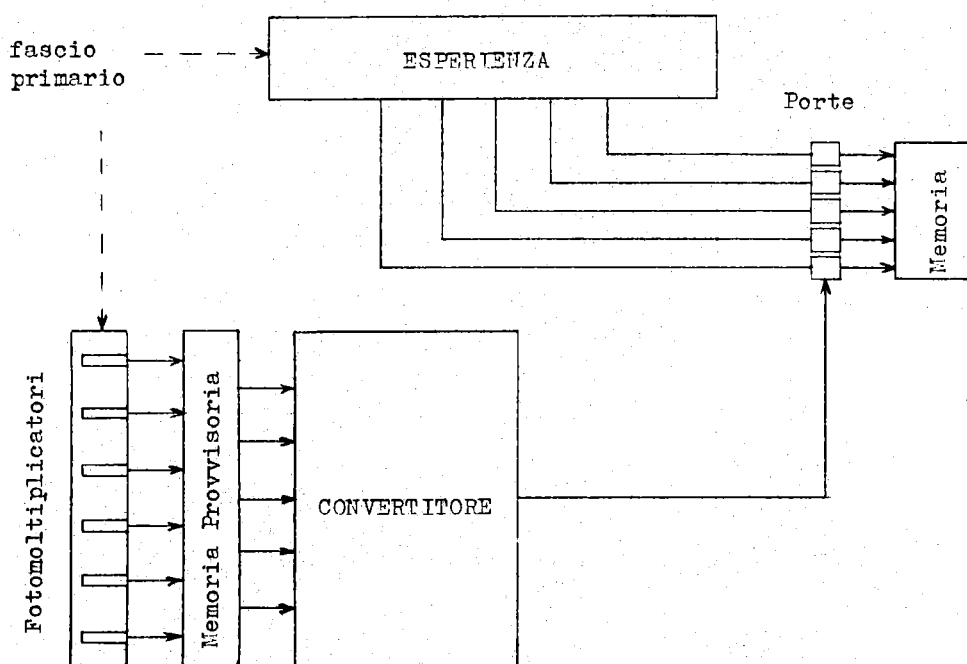


FIG. 10 - Miglioramento della statistica dell'esperimento di misura di una sezione d'urto.

BIBLIOGRAFIA

- (1) - J. V. Kane and R. J. Spinrad, A Stored Program Computer as a multiparameter Radiation Analyzer, BNL - Upton N. Y.
- (2) - J. Leng and A. Pearson, Experience with an on-line computer for nuclear physics experiments, Nuclear Electronics p. 519.
- (3) - R. B. Hurley, Transistor Logic Circuits, (J. Wiley & Sons, Inc. N. Y. 1961).
- (4) - B. Bertolucci, Analisi del Decumono: circuito a due stadi, da Selezione Temporale ed Elaborazione di Impulsi da Eventi di Fisica Nucleare, Appendice B, Tesi di Laurea, Università degli studi di Roma, 1963.
- (5) - B. Bertolucci e M. Coli, Circuiti di rilassamento a Transistori, in corso di pubblicazione presso L. N. F.
- (6) - W. W. Eidson and J. G. Cramer Jr., An Integrated Computer-Analyzer system for Real-Time reduction of multiparameter Data, Nuclear Electronics p. 539.

^^^^^^^^^^^^^^

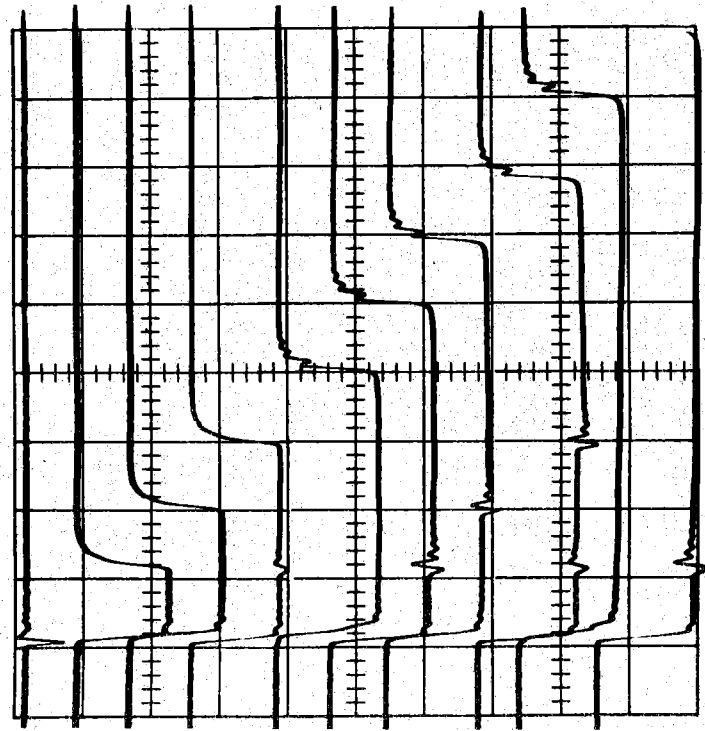


FOTO A

Impulsi di uscita di una decade. Il primo impulso è l'impulso di start; gli altri rappresentano gli impulsi di uscita con situazione d'ingresso da 1 a 9. Verticale: 2 V/cm. Orizzontale: 0.1 μ -sec/cm

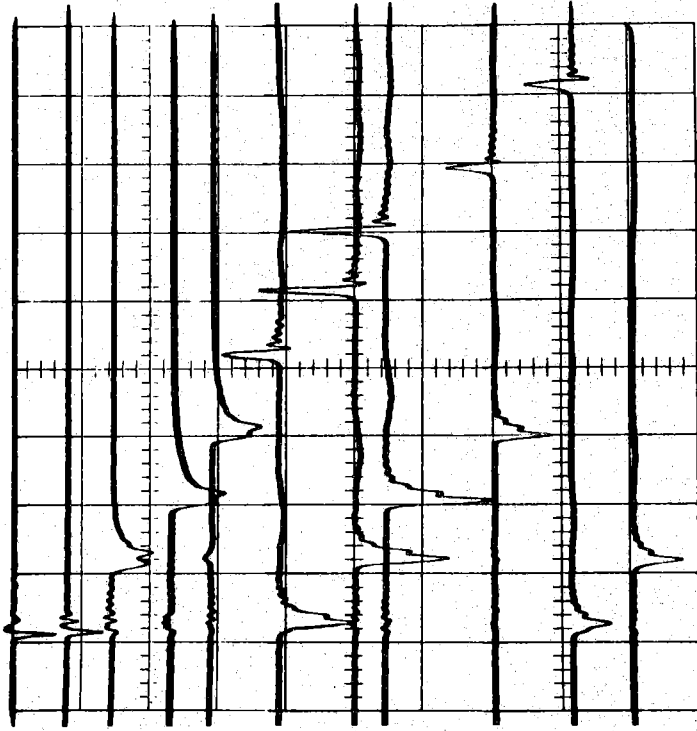


FOTO B

Impulsi di Reset (negativi) generati con la configurazione circuitale tratteggiata nello schema generale. Gli impulsi rappresentano: 1) Impulso di start: vert. 2 V/cm; 2-8) Impulsi di reset con situazione in ingresso da 0 a 6; vert. 0.5 V/cm; 9-11) Impulsi di reset con sit. in ingr. da 7 a 9: vert. 1 V/cm, orizz. 0.1 μ -sec/cm. Come si vede il massimo ritardo per l'impulso di reset rispetto allo start è di 300 nsec (5° e 9° impulso fotografato).

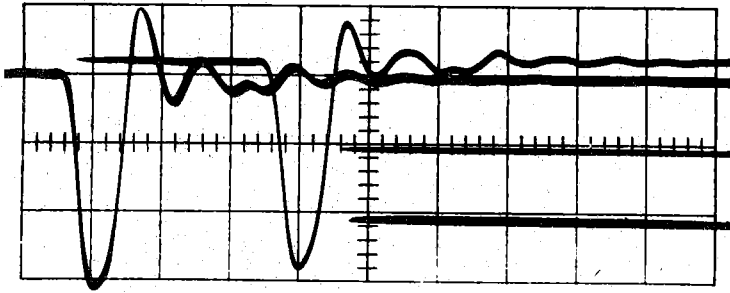


FOTO C

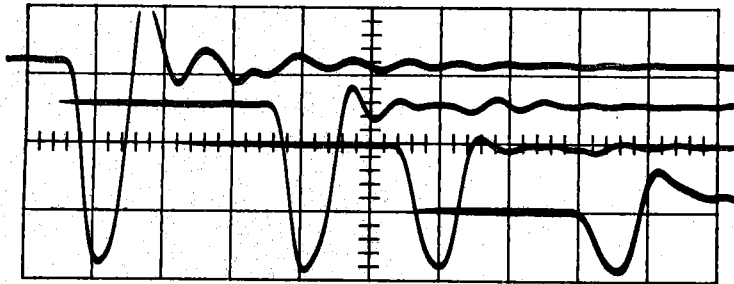


FOTO D

Le due foto rappresentano la situazione sull'AND del secondo ingresso nei casi rispettivamente di livello "0" (foto C) e livello "1" (foto D). Gli impulsi rappresentano: 1) Inhibitor ingresso a (punto α schema generale); 2) OR primo stadio (punto β); 3) AND ingresso b (punto γ); 4) ingresso al secondo Bimono (punto δ).

Verticale: 0.3 V/cm. Orizzontale: 20 nsec/cm.

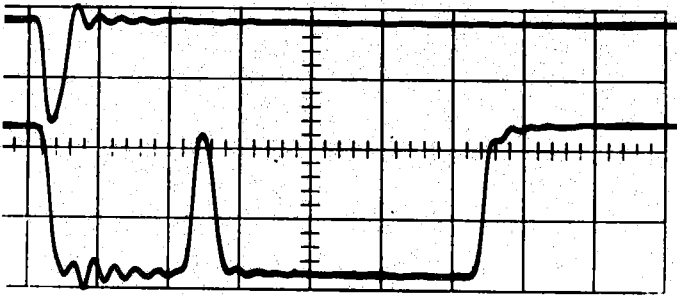


FOTO E

Impulso di start e uscita logica 0011 con monostabili convenzionali.

Verticale: 2 V/q

Orizzontale: 50 ns/q.